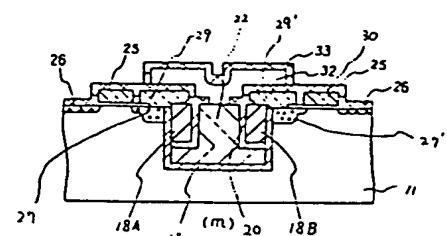


(54) SEMICONDUCTOR MEMORY CELL

(11) 59-141262 (A) (43) 13.8.1984 (19) JP  
(21) Appl. No. 58-15661 (22) 2.2.1983  
(71) NIPPON DENKI K.K. (72) TOSHIYUKI ISHIJIMA(1)  
(51) Int. Cl. H01L27/10, G11C11/34, H01L29/78

PURPOSE: To obtain large memory capacity by taking the area of a capacitor electrode in a large value even in a memory cell of a minute area.

CONSTITUTION: A groove is formed to a silicon substrate 11, polycrystalline silicon 18A, 18B, silicon dioxide films 20 and polycrystalline silicon 22 are formed, and gate electrodes 25 and N type diffusion layers 26, 27, 27' in a switching transistor are formed. When charges are memorized, charges are stored in the polycrystalline silicon 18A, 18B from the diffusion layers 26 connected to a bit line and the state of memory is brought by turning the switching transistor connected to a word line ON. Since storage capacity is formed by the capacity of the silicon dioxide films 20 formed between the polycrystalline silicon, storage capacity can be increased largely without augmenting an occupying area by deeply forming the polycrystalline silicon 18A, 18B in the substrate.



DOC

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
⑪ 公開特許公報 (A) 昭59-141262

⑫ Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和59年(1984)8月13日  
H 01 L 27/10 101 6655-5F  
G 11 C 11/34 8320-5B  
H 01 L 29/78 7377-5F 発明の数 1  
審査請求 未請求

(全 6 頁)

④半導体メモリセル ⑦発明者 吉田正昭  
東京都港区芝五丁目33番1号日  
本電気株式会社内  
⑤特 願 昭58-15661  
⑥出 願 昭58(1983)2月2日 ⑧出願人 日本電気株式会社  
東京都港区芝五丁目33番1号  
本電気株式会社内 ⑨代理人 弁理士 内原晋

明細書

発明の名称 半導体メモリセル

特許請求の範囲

第1導電型半導体基板表面に形成された凹部の少なくとも一部を覆う第1の絶縁性物質、該第1の絶縁性物質の少なくとも側壁に接し、しかも互いに隔離している第1及び第2の導電性物質、該第1及び第2の導電性物質の少なくとも側面を覆う第2の絶縁性物質、前記第1及び第2の導電性物質とは絶縁された該凹部の残りの部分を埋め基準位を与えられた第3の導電性物質、前記第1導電型半導体基板表面に設けられ、前記第1の絶縁性物質に接し、前記第1又は第2の導電性物質に電気的に接続し形成されたMOSトランジスタのソース電極である第2導電型の拡散領域を備えたことを特徴とする半導体メモリセル。

発明の詳細な説明

本発明は半導体メモリセルの構造に関するもので、さらに詳しくはより大きな記憶容量を実現する半導体メモリセルの構造に関するものである。

電荷の形で2過情報を持つ半導体メモリセルはセル面積が小さいため、高集成、大容量メモリセルとして秀れている。特にメモリセルとして1つのトランジスタと1つのコンデンサからなるメモリセル(以下1T1Cセルと略す)は、構成要素も少なく、セル面積も小さいため高集成メモリ用メモリセルとして重要である。

第1図に従来よく用いられている1T1Cセルの1例を示す。第1図に於て、3がキャパシタ電極で6の反転層との間に記憶容量を形成する。2はスイッチングトランジスタのゲート電極でワード線に接続されており、ピット線に接続されている拡散層4と反転層6の間の電荷の移動を制御する。又、7は隣接メモリセルとの分離領域である。従来例において記憶容量は3のキャパシタ電極の面積と、5の絶縁膜の誘電率及び誘厚によって決定される。すなわち、大きな記憶容量を確保する

子問題からは 50 (F 以上) の記憶容量) 従来型の I T I C ではもはや対処出来ない。

本発明の目的は、微小な面積のメモリセルに対してもキャパシタ電極の面積を大きく取ることを可能にすることにより従来型より大きな記憶容量を得ることができる構造の半導体メモリセルを提供することにある。

本発明によれば、第 1 導電型半導体基板表面に形成された凹部の少なくとも一部を覆う第 1 の絶縁性物質、該第 1 の絶縁性物質の少なくとも側壁に接し、しかも互いに隔壁している第 1 及び第 2 の導電性物質、該第 1 及び第 2 の導電性物質の少なくとも側面を覆う第 2 の絶縁性物質、前記第 1 及び第 2 の導電性物質とは絶縁され前記凹部の残りの部分を埋め蓄電位を与えた第 3 の導電性物質、前記第 1 の絶縁性物質に接し、前記第 1 又は第 2 の導電性物質に電気的に接続し形成された且 I S ランジスタのソース電極である第 2 導電型の拡散領域を備えたことを特徴とする半導体メモ

-4-

手段として以下の 3 つの方法がある。

- (1) キャパシタ電極の面積を大きくする。
- (2) 絶縁膜の膜厚を薄くする。
- (3) 高誘電率の絶縁膜を用いる。

ところで一般にメモリの高集成化は微細加工技術の進展に伴うメモリセルサイズの縮小によって達成されており、従来例で示した I T I C セル構造ではキャパシタ電極の面積は減少する。それ故従来例の I T I C セルでは絶縁膜の膜厚を薄くすることにより記憶容量の大幅な減少を防いでいた。しかし絶縁膜の膜厚はもはや限界に近づいており、一方セルの微細化は進展するばかりで従来の構造の I T I C セルでは高誘電率の絶縁膜を採用しない限り記憶容量は減少する一方である。高誘電率の絶縁膜は根本段階で近いうらに実用化される目途はない。

以上述べた様に従来型の I T I C セルは今後様々な記憶容量が減少するという問題点を有している。しかも耐久性問題、センスアンプの感度等から大きな記憶容量が望まれており、(例えば耐久性

-3-

リセルが得られる。

以下本発明の典型的な一実施例として第 2 図を用いて詳述する。第 2 図は本発明におけるメモリセルを製造プロセスの順を追って示した模式的断面図である。

第 2 図(a)は、P 型シリコン単結晶基板 11 の表面上に熱酸化法により二酸化珪素膜 12 を形成し、次にその上に窒化珪素膜 13 を形成した後、露出した全面をホトレジスト 14 で被った状態を示す。

第 2 図(b)は、前記ホトレジスト 14 を耐エッティングマスクとして前記窒化珪素膜 13、二酸化珪素膜 12 を除去し、さらに前記シリコン基板 11 をエッティング除去して露出を設けた後、熱酸化法により溝のシリコン基板表面に二酸化珪素膜 15 を形成し、次にこの溝を不純物を高濃度にドープした多結晶シリコン 16 で完全に埋めてしまった状態を示す。

第 2 図(c)は、前記多結晶シリコン 16 を表面上にエッティング除去してゆき、露出の底部のみに多

結晶シリコン 16' を残し、その後、熱酸化法により前記多結晶シリコン 16' の表面上に二酸化珪素膜 17 を形成した状態を示す。

第 2 図(d)は、ウェハー全面に P 型不純物を高濃度にドープした多結晶シリコン 18 を成長し、さらにその表面を熱酸化膜 19 で被った状態を示す。

第 2 図(e)は、前記二酸化珪素膜 19 を異方性エッティング技術例えば反応性スペッタエッティング技術等を用いて表面よりエッティング除去してゆき溝の側面にのみ前記二酸化珪素膜 19' を残し、さらにこの二酸化珪素膜 19' を耐エッティングマスクとして前記多結晶シリコン 18 を前記同様に反応性スペッタエッティングにより表面よりエッティング除去し溝の側面にのみ多結晶シリコン 18A、18B を残した状態を示したものである。

第 2 図(f)は、前記二酸化珪素膜 19' および溝の底面の二酸化珪素膜 17' をエッティング除去した後、熱酸化法により二酸化珪素膜 20 および C V D 法により窒化珪素膜 21 を各々形成した状態を示したものである。

-5-

-288-

-6-

第2回(g)は、前記電化硅素膜21を異方性エッティング技術例えば反応性スペッタエッティングにより表面よりエッティング除去してゆき溝の側面にのみこの電化硅素膜を残し、次にこの電化硅素膜を耐エッティングマスクとして前記二酸化硅素膜20'をエッティング除去し溝の側壁にのみ二酸化硅素膜20'を残した後、溝の側面に残した前記電化硅素膜を除去しさらにウェーハ全体に前記多結晶シリコン16'を同型の不純物を高濃度にドープした厚い多結晶シリコン22'を形成し溝を完全に埋めかかつ表面を平坦化した状態を示したものである。

第2回(h)は、前記多結晶シリコン22'を異方性エッティング技術例えば反応性スペッタエッティングにより表面からエッティングしてゆき溝部に多結晶シリコン22'を残した後、熱酸化法により表面に二酸化硅素23'を形成した状態を示したものである。

第2回(i)は、前記電化硅素膜13および二酸化硅素膜12を除去した後、熱酸化法により二酸化硅素膜24'を形成し、さらにスイッチングトランジ

-7-

シングマスクとして前記二酸化硅素膜23'をエッティングした後、前記ホトレジストを除去し、さらに前記多結晶シリコン22'を同型の不純物を高濃度にドープした多結晶シリコン32'を形成して前記多結晶シリコン22'を電気的に接続し、続いて熱酸化法により前記多結晶シリコン32'の表面に二酸化硅素膜33'を形成した状態を示す。このようにして2ビット分のメモリセルが形成される。

第2回(j)の断面図と従来の1T1Cセルの第1回を比較してみると、第1回のワード線に接続されているスイッチングトランジスタのゲート電極2は第2回(j)では多結晶シリコン25'に相当し、第1回のビット線に接続されている拡散層4は第2回(j)では拡散層26'に相当している。電荷を記憶する場合、ワード線に接続されたスイッチングトランジスタをONにしてビット線に接続された拡散層26'に蓄積された電荷が蓄積されて記憶状態となる。ただしこの時、溝の中央に形成した多結晶シリコン22'は接地状態にしておく。このこ

-9-

ジスターのゲート電極25'を形成しこのゲート電極をイオン注入のマスクとして碳素のイオン注入を行ない、四拡散層26, 27, 27'を形成した状態を示したものである。

第2回(l)は、前記拡散層27'上の一端と前記多結晶ポリシリコン18A, 18B上の端以外をホトレジスト28で被い、その後前記ホトレジスト28を耐エッティングマスクとして二酸化硅素膜23, 24'の一部をエッティング除去した状態を示す。

第2回(m)は、前記ホトレジスト28を除去した後、前記溝に埋め込んだ多結晶シリコン18A又は18Bと前記四拡散層27, 27'を同型の不純物を高濃度にドープした多結晶シリコン29, 29'を用いて電気的に接続した状態を示す。

第2回(n)は、熱酸化法により前記多結晶シリコン25, 29, 29'の表面を二酸化硅素膜30'で被い、その後前記多結晶シリコン22'の上部を除くすべての領域をホトレジスト31で被った状態を示す。

第2回(o)は、前記ホトレジスト31を耐エッ

-8-

トングマスクとして前記二酸化硅素膜23'をエッティングした後、前記ホトレジストを除去し、さらに前記多結晶シリコン22'を同型の不純物を高濃度にドープした多結晶シリコン32'を形成して前記多結晶シリコン22'を電気的に接続し、続いて熱酸化法により前記多結晶シリコン32'の表面に二酸化硅素膜33'を形成した状態を示す。このようにして2ビット分のメモリセルが形成される。

現在までのところダイナミックメモリセルの記憶容量は、1個が1個入射してもソフトエラーを発生しないだけの大きさを有することが必要とされている。記憶容量部を平面的に形成している従来の1T1Cメモリセルを用いる場合、1Mbitクラスの高集積大容量メモリセルでは、セル面積に占める記憶容量部の占める割合は50%程度にも及ぶが、本発明によれば記憶容量部は基板内部に形成されるためその際の深さを深く取ることに

-10-

より記憶容量は簡単に増加することができその上この部分の占める面積は非常に小さくてすみ高集積化に適している。

また本発明では、溝部内に容量部を形成するために多結晶シリコン22'を接続しているが、このことは電子間の分離も同時にを行うことができるという特長を有している。さらにその形状であるが電子間の分離領域に形成される寄生MOSトランジスタのキャパシティをできる限り長く取ろうという配慮から容量形成部のポリシリコン18A, 18Bを直線溝の底部まで形成することなく溝の途中で止め、溝の底部は接続された多結晶シリコン22'で埋めて一段と電子分離効果上げている。このため多結晶シリコン22'は溝部内では凸型の形状をしている。さらにこのような形状を取ることにより、溝の幅が狭くなった場合でも十分な分離特性が得られる。

なお前記実施例では、特に溝内に凸形のポリシリコン18A, 18Bを設けて電子分離特性の向上をも計ったものについて述べたが、このポリシリコ

-11-

容易に得られる。

#### 図面の簡単な説明

第1図は従来のITICメモリセルの概略断面図、第2図は本発明によるメモリセルを製造するプロセスを示す概略断面図、第3、第4図は本発明によるメモリセルの概略断面図である。1…シリコン基板、2…ワード線に接続されたゲート電極、3…キャッシュ電極、4…ピット線に接続された拡散層、5…二酸化珪素膜、6…反転層、7…分離領域に形成された二酸化珪素膜、12, 15, 17, 17', 19, 19', 20, 20', 23, 24, 30, 33…二酸化珪素膜、13, 13', 21…塩化珪素膜、14, 28, 31…カトレグスト、16, 16', 18, 18A, 18B, 22, 22', 29, 29', 32…多結晶シリコン、25…ワード線に接続されたゲート電極、26…ピット線に接続された拡散層、27, 27'…拡散層、42…多結晶シリコン、52…多結晶シリコン、53…二酸化珪素膜。

特開昭59-141262(4)

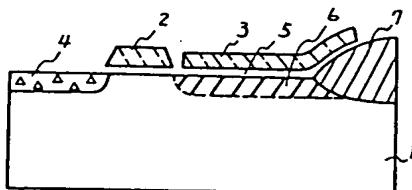
ン形状は第3図に示すような形であってよい。これは前記実施例で示したプロセスより容易にできる。ただし、この形状は溝の分離領域幅が前述のものに比べて広くなる。

また本発明における溝に埋め込まれたポリシリコン22'（第2図）、42（第3図）への基準電位の与え方であるが、実施例ではポリシリコン22', 42と半導体基板とを二酸化珪素膜15により絶縁分離し表面より基準電位を与えるようにしている。しかしこの他にポリシリコン22'に基準電位を与える方法として基板より与える方法が考えられる。この構造については第4図に示す。第4図でもわかるように溝に埋められたポリシリコン52は直接半導体基板と電気的に接続している。このような構造は前述したプロセスより容易にでき又、前述した構造と比較した場合新たに基準電位値を設ける必要がなくなるという利点がある。

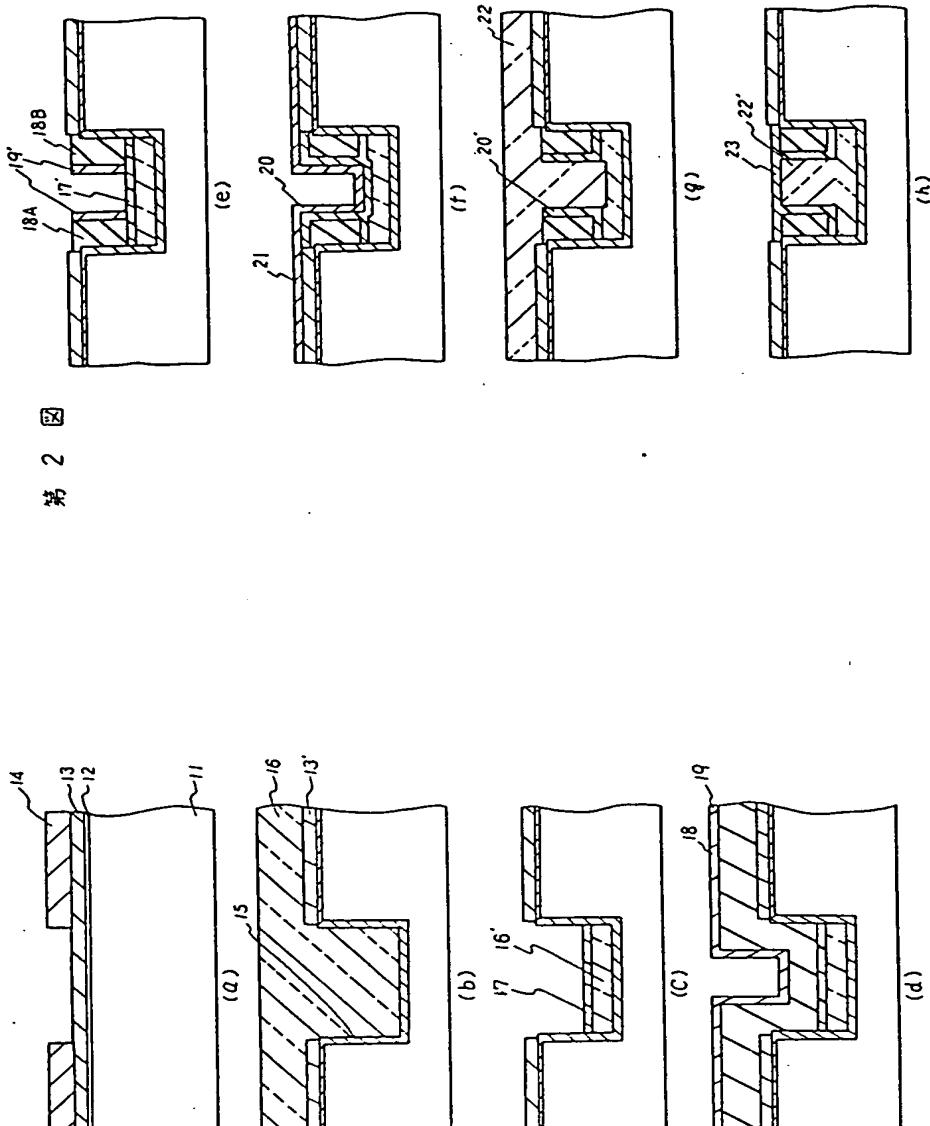
以上述べたように本発明によれば、微細なメモリ・セル面積においても記憶容量を大きく取ることができるのであるため、高集積化に適したメモリセルが

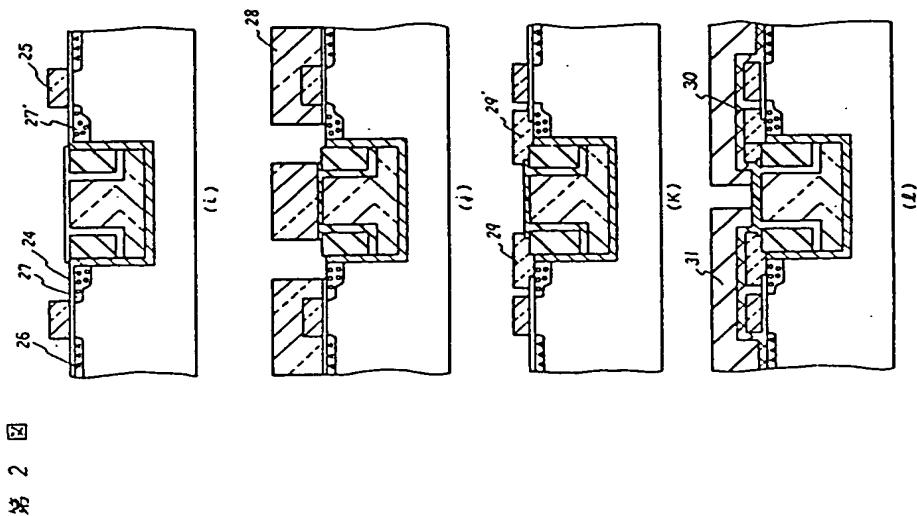
-12-

#### 第1図



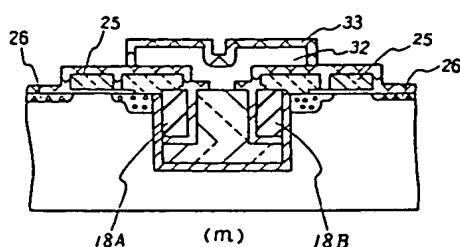
第2 図



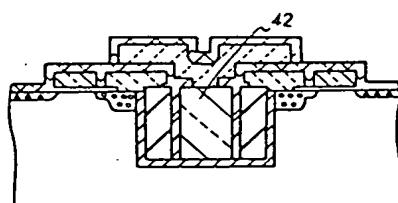


第 2 図

第 2 図



第 3 図



第 4 図

